

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-003647

(43)Date of publication of application : 14.01.1994

(51)Int.Cl.

G02F 1/133

G02F 1/136

G09G 3/36

(21)Application number : 04-184408

(71)Applicant : SONY CORP

(22)Date of filing : 18.06.1992

(72)Inventor : SUZUKI YOSHIO

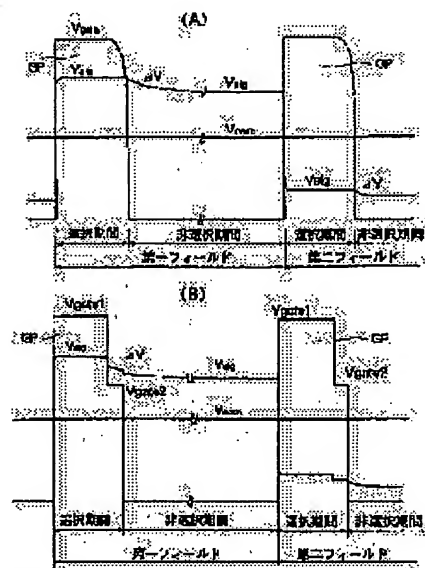
NAKAJIMA YOSHIHARU

(54) DRIVE METHOD FOR ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To restrain the voltage shift of an image signal inputted to a liquid crystal picture element by shaping the waveform of a gate pulse.

CONSTITUTION: An active matrix type liquid crystal display device comprises liquid crystal elements arrayed in a matrix and picture element transistors to drive respective elements. In this case, a gate pulse GP is applied to the gate electrodes of the picture element transistors during a selection period, thereby writing an image signal V_{sig} in each element. Subsequently, the application of the gate pulse GP is interrupted during a non-selection period and the written image signal V_{sig} is held. In transition from the selection period to the non-selection period, the gate pulse GP is caused to smoothly rise, thereby restraining the voltage shift ΔV of the written signal V_{sig} . Instead, the voltage level V_{gate1} of the gate pulse GP is once lowered to V_{gate2} immediately before transition from the selection period to the non-selection period and, then, further lowered, thereby restraining the voltage shift ΔV of the written image signal V_{sig} .



LEGAL STATUS

[Date of request for examination]

10.05.1999

[Date of sending the examiner's decision of rejection]

05.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

2002-03843

[Date of requesting appeal against examiner's decision of rejection]

06.03.2002

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] As opposed to the active matrix liquid crystal display which consists of a pixel transistor for driving the liquid crystal pixel arranged in the shape of a matrix, and each liquid crystal pixel In the drive approach of performing image display by holding the picture signal written in by stopping impression of the gate pulse in a non-selection period while impressing the gate pulse in a selection period to the gate electrode of a pixel transistor and writing the picture signal in each liquid crystal pixel The drive approach of the active matrix liquid crystal display characterized by controlling the electrical-potential-difference shift of the picture signal written in by bringing down a gate pulse smoothly in case it shifts to a non-selection period from a selection period.

[Claim 2] As opposed to the active matrix liquid crystal display which consists of a pixel transistor for driving the liquid crystal pixel arranged in the shape of a matrix, and each liquid crystal pixel In the drive approach of performing image display by holding the picture signal written in by stopping impression of the gate pulse in a non-selection period while impressing the gate pulse in a selection period to the gate electrode of a pixel transistor and writing the picture signal in each liquid crystal pixel The drive approach of the active matrix liquid crystal display characterized by controlling the electrical-potential-difference shift of the picture signal written in by bringing down once lowering the voltage level of a gate pulse just before shifting to a non-selection period from a selection period.

[Claim 3] The liquid crystal pixel arranged in the shape of a matrix, and the pixel transistor which drives each liquid crystal pixel. The vertical-scanning circuit which impresses a gate pulse to the gate electrode of each pixel transistor one by one, and performs selection actuation, In the active matrix liquid crystal display which consists of a level drive circuit which writes a picture signal in each liquid crystal pixel through the selected pixel transistor The above-mentioned vertical-scanning circuit is an active matrix liquid crystal display characterized by having a means to control the electrical-potential-difference shift of the picture signal written in by bringing down a gate pulse smoothly in case impression of this gate pulse is stopped.

[Claim 4] The liquid crystal pixel arranged in the shape of a matrix, and the pixel transistor which drives each liquid crystal pixel, The vertical-scanning circuit which impresses a gate pulse to the gate electrode of each pixel transistor one by one, and performs selection actuation, In the active matrix liquid crystal display which consists of a level drive circuit which writes a picture signal in each liquid crystal pixel through the selected pixel transistor The above-mentioned vertical-scanning circuit is an active matrix liquid crystal display characterized by having a means to control the electrical-potential-difference shift of the picture signal written in by bringing down once lowering the voltage level of a gate pulse just before stopping impression of this gate pulse.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the drive approach of an active matrix liquid crystal display. It is related with the gate pulse impression approach of the pixel transistor connected to each liquid crystal pixel in more detail.

[0002]

[Description of the Prior Art] With reference to drawing 5, the general configuration of the conventional active matrix liquid crystal display is explained briefly. Drawing 5 is the typical representative circuit schematic of a 1-pixel part. Each pixel is prepared in the intersection of the gate line X and signal-line Y. The liquid crystal pixel is expressed with the liquid crystal capacity CLC equivalent. Usually, in the liquid crystal capacity CLC, it is the auxiliary capacity CS. It connects with juxtaposition. While the end of the liquid crystal capacity CLC is connected to the drive transistor Tr, the other end is connected to the counterelectrode and the predetermined reference voltage Vcom is impressed. The pixel transistor Tr consists of a thin film transistor of an insulated-gate electric field effect mold. It connects with signal-line Y and the drain electrode D of the pixel transistor Tr receives supply of a picture signal Vsig. Moreover, the source electrode S is connected to the end, i.e., pixel electrode, of the liquid crystal capacity CLC. Furthermore, the gate pulse which the gate electrode G is connected to the gate line X, and has predetermined gate voltage Vgate is impressed. The joint capacity CGS is formed between the liquid crystal capacity CLC and the gate electrode G. As for this joint capacity CGS, the stray capacity component between a pixel electrode and the gate line X and the parasitic capacitance component between the source field inside pixel transistor Tr and a gate field are put together. While the latter parasitic capacitance component is dominant, dispersion is accepted with the pixel transistor Tr of each [value / the].

[0003]

[Problem(s) to be Solved by the Invention] Next, the technical problem which this invention tends to solve with reference to drawing 6 is explained briefly. If the gate pulse of the electrical potential difference Vgate in a selection period is impressed to the gate electrode G, the pixel transistor Tr will be turned on. At this time, the picture signal Vsig supplied from signal-line Y is written in a liquid crystal pixel through Transistor Tr, and the so-called sampling is performed. Next, if a non-selection period comes, impression of a gate pulse will be stopped and the written-in picture signal will be held at the liquid crystal capacity CLC. When shifting to a non-selection period from a selection period, a square wave gate pulse falls from high level to a low level rapidly. Under the present circumstances, the charge stored in the liquid crystal capacity CLC by coupling through the joint capacity CGS mentioned above discharges momentarily. For this reason, electrical-potential-difference shift ΔV arises in the picture signal Vsig written in the liquid crystal pixel. Since dispersion is in the value of the joint capacity CGS by each pixel, dispersion arises also in electrical-potential-difference shift ΔV , the so-called rough deposit appears on the display screen, and there is the technical problem or the trouble that display grace deteriorates remarkably.

[0004] The picture signal which wrote in the picture signal during the selection period and was written in

the liquid crystal pixel during the continuing non-selection period is held, and the 1 field is constituted. The permeability of the liquid crystal pixel in the 1 field is determined by the effective voltage impressed to liquid crystal between them. It must be what can secure the ON state current required as a property of the pixel transistor T_r in order to complete writing within a selection period. Moreover, since effective voltage sufficient in order to turn on the liquid crystal pixel in a 1 field period is obtained, the leakage current in a non-selection period or a maintenance period is made as small as possible. The effect of [at the time of the non-selection period far longer than a selection period as effective voltage] is large. Display grace is spoiled in order for electrical-potential-difference shift ΔV which is produced when for this reason it turns off after charging the pixel capacity CLC and which was mentioned above to be greatly effective against the effective voltage impressed to liquid crystal.

[0005] Auxiliary capacity CS by which parallel connection is carried out to the liquid crystal capacity CLC in order to control the absolute magnitude and dispersion of electrical-potential-difference shift ΔV conventionally The cure of forming more greatly was taken. That is, it is the auxiliary capacity CS beforehand about the charge which is sufficient for compensating the amount of charges which discharges through the joint capacity CGS. It stores. However, auxiliary capacity CS It is formed in the liquid crystal pixel field, and when this dimension is set up greatly, a pixel numerical aperture falls victim and there is the technical problem or the trouble that sufficient display contrast cannot be acquired.

[0006]

[Means for Solving the Problem] This invention aims at controlling the electrical-potential-difference shift of the picture signal resulting from the joint capacity between the gate/source in view of the technical problem of a Prior art mentioned above, without sacrificing a pixel numerical aperture. In order to attain this purpose, a means to improve the impression approach of a gate pulse was provided. Hereafter, the means concerned is explained with reference to drawing 1 . In order to attain the same purpose, two kinds of means were provided. With the first means shown in (A) of drawing 1 As opposed to the active matrix liquid crystal display which consists of a pixel transistor for driving the liquid crystal pixel arranged in the shape of a matrix, and each liquid crystal pixel In the drive approach of performing image display by holding the picture signal V_{sig} written in by stopping impression of the gate pulse GP in a non-selection period while impressing the gate pulse GP in a selection period to the gate electrode of a pixel transistor and writing the picture signal V_{sig} in each liquid crystal pixel When shifting to a non-selection period from a selection period, electrical-potential-difference shift ΔV of the picture signal V_{sig} written in by bringing down a gate pulse GP smoothly was controlled.

[0007] In order to attain reinforcement of liquid crystal in an active matrix liquid crystal display, the alternating current drive which reverses the polarity of a picture signal V_{sig} for every field is performed. The picture signal V_{sig} of straight polarity is written in a pixel to the predetermined reference voltage V_{com} impressed to a counterelectrode in the first field in illustration, and the picture signal V_{sig} of negative polarity is written in in the second field. If its attention is paid to a certain gate line, in the first field, the gate pulse GP of gate voltage V_{gate} predetermined [in a selection period] will be impressed to the gate electrode of a pixel transistor. Falling of this gate pulse GP is smooth. For this reason, compared with the case where it brings down steeply like the former, electrical-potential-difference shift ΔV is small, and it becomes possible to maintain level predetermined [in a non-selection period]. In the second field, falling of a gate pulse GP is smooth similarly, and electrical-potential-difference shift ΔV is controlled. In addition, unlike falling, image grace is not affected even if the standup of a gate pulse GP is steep.

[0008] He is trying to control electrical-potential-difference shift ΔV of the picture signal V_{sig} written in by bringing down once lowering the voltage level V_{gate1} of a gate pulse GP to V_{gate2} just before shifting to a non-selection period from a selection period with the second means shown in (B) of drawing 1 . In addition, the timing which lowers the voltage level of a gate pulse GP is set as the appearance which does not affect the write-in actuation to the liquid crystal pixel in a selection period. That is, when writing is completed, gate voltage V_{gate1} is lowered to V_{gate2} . In case especially this

second means writes in and holds the picture signal of negative polarity, it is effective. For example, in the second field, the big potential difference arises between gate voltage Vgate1 and a picture signal Vsig. By bringing down, once lowering this gate voltage Vgate1 to Vgate2, it is at the shift time to a non-selection period from a selection period, and the potential difference between a gate line and a source electrode becomes small. For this reason, electrical-potential-difference shift ΔV can be controlled effectively.

[0009]

[Function] Electrical-potential-difference shift ΔV of a picture signal becomes large in proportion to the joint capacity CGS between the gate and the source at the appearance explained with reference to drawing 5. On the contrary, the liquid crystal capacity CLC and auxiliary capacity CS It becomes so small that it is large. Furthermore, in proportion to the potential difference VGS between the gate and the source, it becomes large. In addition, this VGS supports gate voltage Vgate at the shift time to a non-selection period from a selection period, and the potential difference with the written-in picture signal Vsig. If the relation described above is expressed with a formula, it will become like $\Delta V = CGS / (CLC + CGS + CS) \times VGS$. By the way, there is frequency dependent in the impedance of the joint capacity CGS, and it is easy to let a high frequency component pass. Then, he removes a high frequency component and is trying to control the electrical-potential-difference shift by coupling through joint capacity by smoothing falling of a gate pulse with the first means shown in (A) of drawing 1.

[0010] Electrical-potential-difference shift ΔV can be controlled by making small the potential difference VGS between the gate/source so that clearly from the relational expression mentioned above. Then, he is trying to control electrical-potential-difference shift ΔV with the second means shown in (B) of drawing 1 by once lowering gate voltage and making VGS small just before falling of a gate pulse.

[0011]

[Example] With reference to a drawing, the suitable example of this invention is explained to a detail below. Drawing 2 shows the example of circuitry for enforcing the first drive approach concerning this invention. The active matrix liquid crystal display has the display which consists of a pixel transistor Tr which drives the liquid crystal pixel LP arranged in the shape of a matrix, and each liquid crystal pixel LP. In addition, only the liquid crystal pixel for a single tier is expressed with illustration. The vertical-scanning circuit 1 is connected to the gate electrode G of each pixel transistor Tr through the gate lines X1, X2, X3, and X4 and —, a gate pulse GP is impressed by line sequential, and selection actuation of the pixel transistor Tr is performed. Moreover, the level drive circuit 2 is connected to the drain electrode of each pixel transistor Tr through the signal line Ym, and a picture signal Vsig is written in each liquid crystal pixel LP through the selected pixel transistor Tr.

[0012] The vertical-scanning circuit 1 consists of shift registers 3. This shift register 3 has the structure which made multistage connection of D type flip-flop 4. The D mold each flip-flop 4 consists of inverters 5 and 6 of a pair with which common connection of the output terminal was carried out. Each inverter is connected to the gland side through the drive transistor 8 of an N channel mold while connecting with the power-source VVDD side through the drive transistor 7 of a P channel mold. The drive transistors 7 and 8 of these pairs answer the shift clock pulses VCK1 and VCK2 and these reversal pulses, flow, and drive an inverter. Thus, the inverters 5 and 6 to drive are called the so-called clocked inverter. The input terminal of the third inverter 9 is connected to the output terminal to which common connection of the inverters 5 and 6 of a pair was carried out. In the output terminal of the third inverter 9, the output pulse of the D type flip-flop of each stage appears. This output pulse is used also as an input of the D type flip-flop of the next step. By inputting a start signal VST to the D type flip-flop of a first stage eye, a shift register 3 outputs the output pulse from which the half period [every] phase shifted one by one for every stage. After carrying out logic processing of the output pulse of the stage concerned, and the output pulse of the preceding paragraph with the NAND gate component 10, a gate pulse GP is obtained by being reversed with an inverter 11.

[0013] In this example, the output inverter 11 has unsymmetrical structure. namely, the ratio of channel width W of the N channel mold transistor 12, and channel length L — W/L is small set up compared with the P channel mold transistor 13. When it puts in another way, the current capacity of the N channel mold transistor 12 is small compared with the current capacity of the P channel mold transistor 13. Since the P channel mold transistor 13 flows when a gate pulse GP starts from a low level high-level, it becomes a steep standup. On the other hand, when a gate pulse GP falls, the N channel mold transistor 12 flows, but since the current capacity is small, it becomes smooth falling. Therefore, the vertical-scanning circuit 1 is equipped with a means to control the electrical-potential-difference shift of the picture signal V_{sig} written in Pixel LP, by bringing down a gate pulse GP smoothly.

[0014] Drawing 3 shows the circuitry for enforcing the second drive approach concerning this invention. It is similar with the circuitry shown in drawing 2 fundamentally mentioned above, the same reference number and the same reference mark are given to a corresponding part, and an understanding is made easy. A different point is the P channel mold drive transistor 7 of the D mold each flip-flop 4 not being connected to DC power supply Rhine V_{DD} , but connecting at the middle point of the partial pressure resistance $R1$ and $R2$ of a pair by which series connection's was carried out. The end of the partial pressure resistance $R1$ and $R2$ by which series connection was carried out is connected to power-source Rhine V_{DD} , and the other end is connected to the gland side through the switching transistor 14. Control voltage V_{CKX} is periodically impressed to the gate electrode of a switching transistor 14. When a switching transistor 14 is in an OFF state, supply voltage is supplied to a shift register 3 as it is, and the voltage level of each gate pulse GP becomes equal to supply voltage. On the other hand, if a switching transistor 14 is turned on, the electrical potential difference by which resistance division was carried out will be supplied to a shift register 3 by the ratio of $R1$ and $R2$, and the voltage level of a gate pulse GP will also fall according to it by it.

[0015] In this example, the part of the gate driver which consists of a shift register 3, and the NAND gate circuit 10 and an inverter 11 among the whole configurations of the vertical-scanning circuit 1 is formed in the substrate of an active matrix liquid crystal display. The clock driver which, on the other hand, supplies the power circuit which supplies supply voltage to a shift register 3, a clock pulse V_{CK1} , and V_{CK2} grade is prepared out of the substrate of an active matrix liquid crystal display. In addition, in this example, the switching transistor 14 for switching supply voltage and the partial pressure resistance $R1$ and $R2$ are formed in the substrate. However, this invention is not restricted to this structure. You may make it switch periodically the supply voltage of the power circuit by which external connection is made depending on the case.

[0016] Actuation of the circuit finally shown in drawing 3 with reference to drawing 4 is explained to a detail. The control voltage V_{CKX} impressed to the gate electrode of a switching transistor 14 carries out level change at the shape of a pulse according to a Horizontal Synchronizing signal. In this example, the level period is set as 63.5 microseconds and is equivalent to the selection period per gate line. Control voltage V_{CKX} changes to the high level between 6 – 8 microseconds in the last part of each level period. This time amount is set as the appearance which does not affect write-in actuation of the picture signal within a selection period. namely, the pixel on the selected gate line — receiving — a dot order — control voltage V_{CKX} switches high-level in the phase which finished writing in a picture signal next. Since a switching transistor 14 will be turned on if control voltage V_{CKX} becomes high-level, the level of the supply voltage supplied to a shift register 3 falls to about 8.5V from V_{DD} set as 13.5V. This amount of falls is set up by deciding suitably the ratio of the partial pressure resistance $R1$ and $R2$ of a pair.

[0017] The n -th gate pulse GP (n) changes stair-like [that level] from 13.5V to 8.5V into 1 level period, corresponding to fluctuation of this supply voltage. With the following level period, the gate pulse GP ($n+1$) corresponding to the $n+1$ st gate lines occurs, and, similarly the level changes stair-like. In the meantime, a polarity reverses a picture signal V_{sig} by turns to the potential V_{com} of a counterelectrode for every level period. The so-called 1H reversal drive is performed. According to such actuation, a

vertical-scanning circuit can control the electrical-potential-difference shift of the picture signal V_{sig} written in the pixel by bringing down, once lowering the voltage level of a gate pulse just before stopping impression of each gate pulse GP.

[0018] The electrical-potential-difference shift of a picture signal can be controlled by [which were explained above] smoothing falling of a gate pulse like or supposing that it is stair-like. Waveform shaping of this gate pulse can be attained by devising the configuration of a vertical-scanning circuit. In this case, deformation may be added to the circuit part formed in the substrate of an active matrix liquid crystal display, and the part of an external circuit may be adjusted. However, when shaping a gate pulse in waveform in an external circuit part, the approach of changing falling more nearly stair-like than the ***** approach is simpler in circuit, and a controllability is good.

[0019]

[Effect of the Invention] it explained above — like — this invention — getting twisted — it is effective in the ability to control the electrical-potential-difference shift of a picture signal, reduce the rough deposit of the display screen, and improve display grace by shaping a gate pulse in waveform. Moreover, in shaping in waveform in an external circuit, it becomes unnecessary to sort out a poor rough deposit as an active matrix liquid crystal display simple substance, and is effective in the manufacture yield being sharply improvable. Furthermore, it is effective in display contrast being improvable, without not enlarging auxiliary capacity like the former and sacrificing a pixel numerical aperture, since an electrical-potential-difference shift can be controlled by the technique of waveform shaping.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the mimetic diagram showing the drive approach of the active matrix liquid crystal display concerning this invention.

[Drawing 2] It is the circuit diagram showing the example of a configuration for enforcing the drive approach concerning this invention.

[Drawing 3] It is the circuit diagram showing the example of other configurations for enforcing the drive approach which similarly starts this invention.

[Drawing 4] It is a timing chart for explaining actuation of the circuit shown in drawing 3.

[Drawing 5] It is the representative circuit schematic showing the structure of the conventional active matrix liquid crystal display.

[Drawing 6] It is a mimetic diagram for explaining the technical problem of the drive approach of the conventional active matrix liquid crystal display.

[Description of Notations]

1 Vertical-Scanning Circuit

2 Horizontal Scanning Circuit

3 Shift Register

4 D Type Flip-flop

11 Inverter

12 N Channel Mold Transistor

13 P Channel Mold Transistor

14 Switching Transistor

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-3647

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	9226-2K		
1/136	5 0 0	9018-2K		
G 0 9 G 3/36		7319-5G		

審査請求 未請求 請求項の数4(全 9 頁)

(21)出願番号 特願平4-184408

(22)出願日 平成4年(1992)6月18日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 鈴木 芳男

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

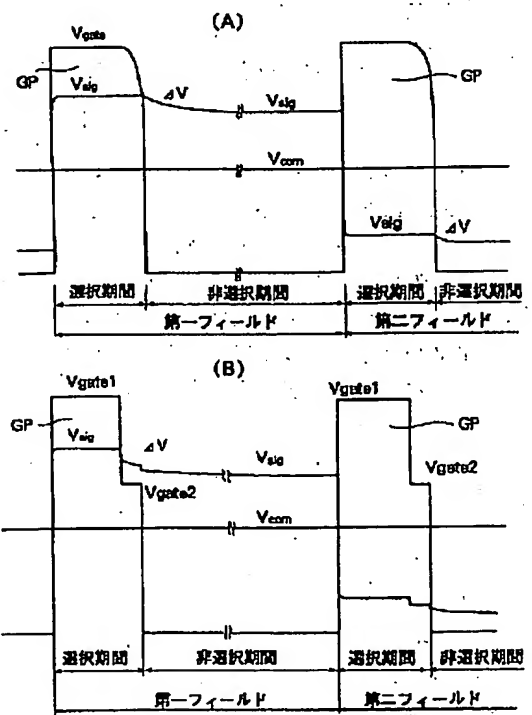
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 アクティブマトリクス型液晶表示装置の駆動方法

(57)【要約】

【目的】 液晶画素に書き込まれた画像信号の電圧シフトを抑制する。

【構成】 アクティブマトリクス型液晶表示装置はマトリクス状に配列された液晶画素と個々の液晶画素を駆動する為の画素トランジスタとからなる。選択期間中ゲートパルスGPを画素トランジスタのゲート電極に印加し画像信号Vsigを各液晶画素に書き込む。続いて非選択期間中ゲートパルスGPの印加を停止して書き込まれた画像信号Vsigを保持する。選択期間から非選択期間に移行する際ゲートパルスGPを滑らかに立ち下げる事により書き込まれた画像信号Vsigの電圧シフトΔVを抑制する。これに代えて、選択期間から非選択期間に移行する直前一旦ゲートパルスGPの電圧レベルVgate1をVgate2まで下げた後立ち下げる事により書き込まれた画像信号Vsigの電圧シフトΔVを抑制する様にしても良い。



(2)

【特許請求の範囲】

【請求項1】 マトリクス状に配列された液晶画素と個々の液晶画素を駆動する為の画素トランジスタとからなるアクティブマトリクス型液晶表示装置に対して選択期間中ゲートパルスを画素トランジスタのゲート電極に印加し画像信号を各液晶画素に書き込むとともに非選択期間中ゲートパルスの印加を停止して書き込まれた画像信号を保持する事により画像表示を行なう駆動方法において、選択期間から非選択期間に移行する際ゲートパルスを滑らかに立ち下げる事により書き込まれた画像信号の電圧シフトを抑制する事を特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

【請求項2】 マトリクス状に配列された液晶画素と個々の液晶画素を駆動する為の画素トランジスタとからなるアクティブマトリクス型液晶表示装置に対して選択期間中ゲートパルスを画素トランジスタのゲート電極に印加し画像信号を各液晶画素に書き込むとともに非選択期間中ゲートパルスの印加を停止して書き込まれた画像信号を保持する事により画像表示を行なう駆動方法において、選択期間から非選択期間に移行する直前一旦ゲートパルスの電圧レベルを下げた後立ち下げる事により書き込まれた画像信号の電圧シフトを抑制する事を特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

【請求項3】 マトリクス状に配列された液晶画素と、個々の液晶画素を駆動する画素トランジスタと、各画素トランジスタのゲート電極に順次ゲートパルスを印加し選択動作を行なう垂直走査回路と、選択された画素トランジスタを介して画像信号を各液晶画素に書き込む水平駆動回路とからなるアクティブマトリクス型液晶表示装置において、上記垂直走査回路は該ゲートパルスの印加を停止する際ゲートパルスを滑らかに立ち下げる事により書き込まれた画像信号の電圧シフトを抑制する手段を有する事を特徴とするアクティブマトリクス型液晶表示装置。

【請求項4】 マトリクス状に配列された液晶画素と、個々の液晶画素を駆動する画素トランジスタと、各画素トランジスタのゲート電極に順次ゲートパルスを印加し選択動作を行なう垂直走査回路と、選択された画素トランジスタを介して画像信号を各液晶画素に書き込む水平駆動回路とからなるアクティブマトリクス型液晶表示装置において、上記垂直走査回路は該ゲートパルスの印加を停止する直前一旦ゲートパルスの電圧レベルを下げた後立ち下げる事により書き込まれた画像信号の電圧シフトを抑制する手段を有する事を特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型液晶表示装置の駆動方法に関する。より詳しくは、個々の液晶画素に接続された画素トランジスタのゲートパル

ス印加方法に関する。

【0002】

【従来の技術】 図5を参照して従来のアクティブマトリクス型液晶表示装置の一般的な構成を簡潔に説明する。図5は一画素部分の模式的な等価回路図である。個々の画素はゲートラインXと信号ラインYの交点に設けられている。液晶画素は等価的に液晶容量 C_{LC} で表わされている。通常液晶容量 C_{LC} には補助容量 C_S が並列に接続されている。液晶容量 C_{LC} の一端は駆動トランジスタ T_r に接続されているとともに、他端は対向電極に接続されており所定の基準電圧 V_{com} が印加されている。画素トランジスタ T_r は絶縁ゲート電界効果型の薄膜トランジスタからなる。画素トランジスタ T_r のドレイン電極Dは信号ラインYに接続されており画像信号 V_{sig} の供給を受ける。又、ソース電極Sは液晶容量 C_{LC} の一端即ち画素電極に接続されている。さらに、ゲート電極GはゲートラインXに接続されており所定のゲート電圧 V_{gate} を有するゲートパルスが印加される。液晶容量 C_{LC} とゲート電極Gとの間には結合容量 C_{GS} が形成される。この結合容量 C_{GS} は画素電極とゲートラインXとの間の浮遊容量成分及び画素トランジスタ T_r 内部のソース領域とゲート領域との間の寄生容量成分が合わさったものである。後者の寄生容量成分が支配的であるとともにその値は個々の画素トランジスタ T_r によってばらつきが認められる。

【0003】

【発明が解決しようとする課題】 次に図6を参照して本発明が解決しようとする課題を簡潔に説明する。選択期間中電圧 V_{gate} のゲートパルスがゲート電極Gに印加されると、画素トランジスタ T_r はオン状態になる。この時、信号ラインYから供給された画像信号 V_{sig} がトランジスタ T_r を介して液晶画素に書き込まれ所謂サンプリングが行なわれる。次に非選択期間になるとゲートパルスの印加が停止され、書き込まれた画像信号は液晶容量 C_{LC} に保持される。選択期間から非選択期間に移行する時矩形波ゲートパルスはハイレベルからローレベルに急激に立ち下がる。この際、前述した結合容量 C_{GS} を介してカップリングにより液晶容量 C_{LC} に蓄えられた電荷が瞬間的に放電する。この為、液晶画素に書き込まれた画像信号 V_{sig} に電圧シフト ΔV が生じる。個々の画素によって結合容量 C_{GS} の値にばらつきがある為電圧シフト ΔV にもばらつきが生じ表示画面上に所謂ざらつきが現われ表示品位が著しく劣化するという課題あるいは問題点がある。

【0004】 液晶画素には選択期間中に画像信号を書き込み、続く非選択期間中書き込まれた画像信号を保持して一フィールドが構成される。一フィールドにおける液晶画素の透過率はその間に液晶に印加される実効電圧によって決定される。画素トランジスタ T_r の特性としては、選択期間内に書き込みを完了する為に必要なオン電

(3)

3
流が確保できるものでなければならない。又、一フィールド期間中液晶画素を点灯する為に十分な実効電圧が得られる様に、非選択期間中あるいは保持期間中のリーク電流はできるだけ小さくする。実効電圧としては選択期間より遥かに長い非選択期間時の影響が大きい。この為、画素容量 C_{LC} を充電した後オフする時生じる前述した電圧シフト ΔV は液晶に印加される実効電圧に大きく効いてくる為、表示品位が損なわれる。

【0005】従来、電圧シフト ΔV の絶対量及びばらつきを抑制する為、液晶容量 C_{LC} に並列接続されている補助容量 C_S を大きめに形成するという対策が講じられていた。即ち結合容量 C_{GS} を介して放電される電荷量を補うに足る電荷を予め補助容量 C_S に蓄えるものである。しかしながら、補助容量 C_S は液晶画素領域に形成されており、この寸法を大きく設定すると画素開口率が犠牲になり十分な表示コントラストを得る事ができないという課題あるいは問題点がある。

【0006】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は画素開口率を犠牲にする事なくゲート/ソース間の結合容量に起因する画像信号の電圧シフトを抑制する事を目的とする。かかる目的を達成する為にゲートパルスの印加方法を改善するという手段を講じた。以下、図1を参照して当該手段を説明する。同一の目的を達成する為に二通りの手段を講じた。図1の

(A)に示す第一の手段では、マトリクス状に配列された液晶画素と個々の液晶画素を駆動する為の画素トランジスタとからなるアクティブマトリクス型液晶表示装置に対して選択期間中ゲートパルスG.P.を画素トランジスタのゲート電極に印加し画像信号V.s.i.g.を各液晶画素に書き込むとともに非選択期間中ゲートパルスG.P.の印加を停止して書き込まれた画像信号V.s.i.g.を保持する事により画像表示を行なう駆動方法において、選択期間から非選択期間に移行する際ゲートパルスG.P.を滑らかに立ち下げる事により書き込まれた画像信号V.s.i.g.の電圧シフト ΔV を抑制する様にした。

【0007】アクティブマトリクス型液晶表示装置においては液晶の長寿命化を図る為フィールド毎に画像信号V.s.i.g.の極性を反転する交流駆動が行なわれる。図示では第一フィールドにおいて対向電極に印加される所定の基準電圧V.c.o.m.に対して正極性の画像信号V.s.i.g.が画素に書き込まれ、第二フィールドでは負極性の画像信号V.s.i.g.が書き込まれる。あるゲートラインに着目すると、第一フィールドにおいて選択期間中所定のゲート電圧V.g.a.t.e.のゲートパルスG.P.が画素トランジスタのゲート電極に印加される。このゲートパルスG.P.の立ち下がりには滑らかになっている。この為、従来の様に急峻に立ち下げる場合と比べると電圧シフト ΔV が小さくなっており、非選択期間中所定のレベルを維持する事が可能になる。第二フィールドにおいても同様にゲート

4
パルスG.P.の立ち下がりが滑らかになっており電圧シフト ΔV が抑制される。なお、立ち下がりと異なりゲートパルスG.P.の立ち上がりが急峻であっても画像品位に影響を与える事はない。

【0008】図1の(B)に示す第二の手段では、選択期間から非選択期間に移行する直前一旦ゲートパルスG.P.の電圧レベルV.g.a.t.e.1をV.g.a.t.e.2まで下げた後立ち下げる事により書き込まれた画像信号V.s.i.g.の電圧シフト ΔV を抑制する様にしている。なお、ゲートパルスG.P.の電圧レベルを下げるタイミングは、選択期間中液晶画素への書き込み動作に影響を与えない様に設定されている。即ち、書き込みが完了した時点でゲート電圧V.g.a.t.e.1はV.g.a.t.e.2まで下げられる。この第二の手段は特に負極性の画像信号を書き込み保持する際に効果的である。例えば、第二フィールドにおいてゲート電圧V.g.a.t.e.1と画像信号V.s.i.g.との間には大きな電位差が生じる。このゲート電圧V.g.a.t.e.1を一旦V.g.a.t.e.2まで下げた後立ち下げる事により、選択期間から非選択期間への移行時点でゲートラインとソース電極との間の電位差は小さくなる。この為、電圧シフト ΔV を効果的に抑制できる。

【0009】

【作用】図5を参照して説明した様に、画像信号の電圧シフト ΔV はゲートとソース間の結合容量 C_{GS} に比例して大きくなる。逆に、液晶容量 C_{LC} 及び補助容量 C_S が大きい程小さくなる。さらに、ゲートとソース間の電位差 V_{GS} に比例して大きくなる。なお、この V_{GS} は選択期間から非選択期間への移行時点におけるゲート電圧V.g.a.t.e.と書き込まれた画像信号V.s.i.g.との電位差に対応している。以上に述べた関係を数式で表わすと、 $\Delta V = C_{GS} / (C_{LC} + C_{GS} + C_S) \times V_{GS}$ のようになる。ところで、結合容量 C_{GS} のインピーダンスには周波数依存性があり高周波成分程通し易い。そこで、図1の(A)に示す第一手段では、ゲートパルスの立ち下がり滑らかにする事により高周波成分を除去し、結合容量を介したカップリングによる電圧シフトを抑制する様にしている。

【0010】上述した関係式から明らかな様にゲート/ソース間の電位差 V_{GS} を小さくする事により電圧シフト ΔV を抑制できる。そこで、図1の(B)に示した第二手段では、ゲートパルスの立ち下がり直前にゲート電圧を一旦下げて V_{GS} を小さくする事により、電圧シフト ΔV を抑制する様にしている。

【0011】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図2は本発明にかかる第一の駆動方法を実施する為の回路構成例を示す。アクティブマトリクス型液晶表示装置は、マトリクス状に配列された液晶画素L.P.と、個々の液晶画素L.P.を駆動する画素トランジスタT.r.とからなる表示部を有している。なお、図示で

(4)

5

は一行分の液晶画素のみを表わしている。各画素トランジスタ T_r のゲート電極 G にはゲートライン $X_1, X_2, X_3, X_4, \dots$ を介して垂直走査回路1が接続されており、線順次でゲートパルス GP を印加し画素トランジスタ T_r の選択動作を行なう。又、各画素トランジスタ T_r のドレイン電極には信号ライン Y_m を介して水平駆動回路2が接続されており、選択された画素トランジスタ T_r を介して画像信号 V_{sig} を各液晶画素 LP に書き込む。

【0012】垂直走査回路1はシフトレジスタ3から構成されている。このシフトレジスタ3はD型フリップフロップ4を多段接続した構造を有する。各D型フリップフロップ4は出力端子が共通結線された一対のインバータ5, 6から構成されている。各インバータはPチャネル型の駆動トランジスタ7を介して電源 V_{DD} 側に接続されているとともに、Nチャネル型の駆動トランジスタ8を介してグランド側に接続されている。これら一対の駆動トランジスタ7, 8はシフトクロックパルス VCK_1, VCK_2 及びこれらの反転パルスにตอบสนองして導通しインバータを駆動する。この様に駆動されるインバータ5, 6は所謂クロックインバータと呼ばれている。一対のインバータ5, 6の共通結線された出力端子には第三のインバータ9の入力端子が接続されている。第三のインバータ9の出力端子には各段のD型フリップフロップの出力パルスが現われる。この出力パルスは次段のD型フリップフロップの入力としても用いられる。第一段目のD型フリップフロップに対してスタート信号 VST を入力する事により、シフトレジスタ3は各段毎に順次半周期ずつ位相のずれた出力パルスを出力する。当該段の出力パルスと前段の出力パルスをナンドゲート素子10で論理処理した後インバータ11で反転する事によりゲートパルス GP が得られる。

【0013】本実施例では出力インバータ11は非対称構造を有している。即ち、Nチャネル型トランジスタ12のチャネル幅 W とチャネル長 L の比 W/L はPチャネル型トランジスタ13に比べて小さく設定されている。換言すると、Nチャネル型トランジスタ12の電流容量はPチャネル型トランジスタ13の電流容量に比べて小さい。ゲートパルス GP がローレベルからハイレベルに立ち上がる場合にはPチャネル型トランジスタ13が導通するので急峻な立ち上がりとなる。一方、ゲートパルス GP が立ち下がる場合にはNチャネル型トランジスタ12が導通するが、その電流容量が小さい為滑らかな立ち下がりとなる。従って、垂直走査回路1はゲートパルス GP を滑らかに立ち下げる事により画素 LP に書き込まれた画像信号 V_{sig} の電圧シフトを抑制する手段を備えている。

【0014】図3は本発明にかかる第二の駆動方法を実施する為の回路構成を示す。基本的には前述した図2に示す回路構成と類似しており、対応する部分には同一の

6

参照番号及び参照符号を付して理解を容易にしている。異なる点は、各D型フリップフロップ4のPチャネル型駆動トランジスタ7が直接電源ライン V_{DD} に接続されておらず、直列接続された一対の分圧抵抗 R_1, R_2 の midpoint に接続されている事である。直列接続された分圧抵抗 R_1, R_2 の一端は電源ライン V_{DD} に接続されており、他端はスイッチングトランジスタ14を介してグランド側に接続されている。スイッチングトランジスタ14のゲート電極には制御電圧 VCK_X が周期的に印加される。スイッチングトランジスタ14がオフ状態にある時には電源電圧がそのままシフトレジスタ3に供給され、各ゲートパルス GP の電圧レベルは電源電圧と等しくなる。一方、スイッチングトランジスタ14がオン状態になると、 R_1 と R_2 の比によって抵抗分割された電圧がシフトレジスタ3に供給され、ゲートパルス GP の電圧レベルもそれに従って低下する。

【0015】本実施例では垂直走査回路1の全体構成の内、シフトレジスタ3及びナンドゲート回路10やインバータ11からなるゲートドライバの部分は、アクティブマトリクス型液晶表示装置の基板内に形成されている。一方、シフトレジスタ3に電源電圧を供給する電源回路やクロックパルス VCK_1, VCK_2 等を供給するクロックドライバはアクティブマトリクス型液晶表示装置の基板外に設けられている。加えて本実施例では電源電圧を切り換える為のスイッチングトランジスタ14や分圧抵抗 R_1, R_2 は基板内に形成されている。しかしながら本発明はかかる構造に限られるものではない。場合によっては、外部接続される電源回路の電源電圧を周期的に切り換える様にしても良い。

【0016】最後に図4を参照して図3に示す回路の動作を詳細に説明する。スイッチングトランジスタ14のゲート電極に印加される制御電圧 VCK_X は水平同期信号に応じてパルス状にレベル変化する。本例では水平周期は $63.5 \mu s$ に設定されておりゲートライン1本当たりの選択期間に相当する。制御電圧 VCK_X は各水平周期の最終部分で $6 \sim 8 \mu s$ の間ハイレベルに変化する。この時間は選択期間内における画像信号の書き込み動作に影響を与えない様に設定されている。即ち選択されたゲートライン上の画素に対して点順次で画像信号を書き込み終わった段階で制御電圧 VCK_X がハイレベルに切り換わる。制御電圧 VCK_X がハイレベルになるとスイッチングトランジスタ14がオン状態になるので、シフトレジスタ3に供給される電源電圧のレベルは、例えば $1/3 \cdot 5V$ に設定された V_{DD} から $8.5V$ 程度に低下する。この低下量は一対の分圧抵抗 R_1, R_2 の比を適宜決める事により設定される。

【0017】この電源電圧の変動に応じて、例えば n 番目のゲートパルス $GP(n)$ は一水平周期内においてそのレベルが $1/3 \cdot 5V$ から $8.5V$ に階段状に変化する。次の水平周期では $n+1$ 番目のゲートラインに対応

(5)

7

するゲートパルスGP (n+1)が発生し同じく階段状にそのレベルが変化する。この間、画像信号Vsigは水平周期毎に対向電極の電位Vcomに対して極性が交互に反転する。所謂1H反転駆動が行なわれる。このような動作によれば、垂直走査回路は個々のゲートパルスGPの印加を停止する直前一旦ゲートパルスの電圧レベルを下げた後立ち下げる事により画素に書き込まれた画像信号Vsigの電圧シフトを抑制する事ができる。

【0018】以上説明した様にゲートパルスの立ち下がり滑らかにしたり階段状とする事により画像信号の電圧シフトを抑制できる。かかるゲートパルスの波形整形は垂直走査回路の構成を工夫する事により達成できる。この場合、アクティブマトリクス型液晶表示装置の基板内に形成される回路部分に変形を加えても良いし、外部回路の部分进行调整しても良い。但し外部回路部分でゲートパルスの波形整形を行なう場合には立ち下がり滑らかにする方法よりも階段状に変化させる方法の方が回路的に簡便であり且つ制御性が良い。

【0019】

【発明の効果】以上説明した様に、本発明によれば、ゲートパルスを波形整形する事により画像信号の電圧シフトを抑制でき表示画面のざらつきを低減して表示品位を向上する事ができるという効果がある。又、外部回路で波形整形を行なう場合には、アクティブマトリクス型液晶表示装置単体としてはざらつき不良の選別をする必要がなくなり製造歩留りを大幅に改善する事ができるとい

8

う効果がある。さらに、波形整形の手法により電圧シフトを抑制できるので従来の様に補助容量を大きくする必要がなく画素開口率を犠牲にする事なく表示コントラストを改善できるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス型液晶表示装置の駆動方法を示す模式図である。

【図2】本発明にかかる駆動方法を実施する為の構成例を示す回路図である。

【図3】同じく本発明にかかる駆動方法を実施する為の他構成例を示す回路図である。

【図4】図3に示す回路の動作を説明する為のタイミングチャートである。

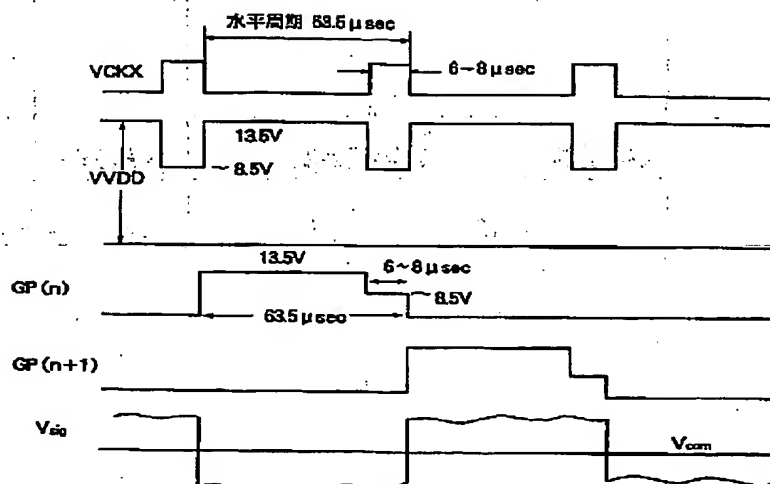
【図5】従来のアクティブマトリクス型液晶表示装置の構造を示す等価回路図である。

【図6】従来のアクティブマトリクス型液晶表示装置の駆動方法の課題を説明する為の模式図である。

【符号の説明】

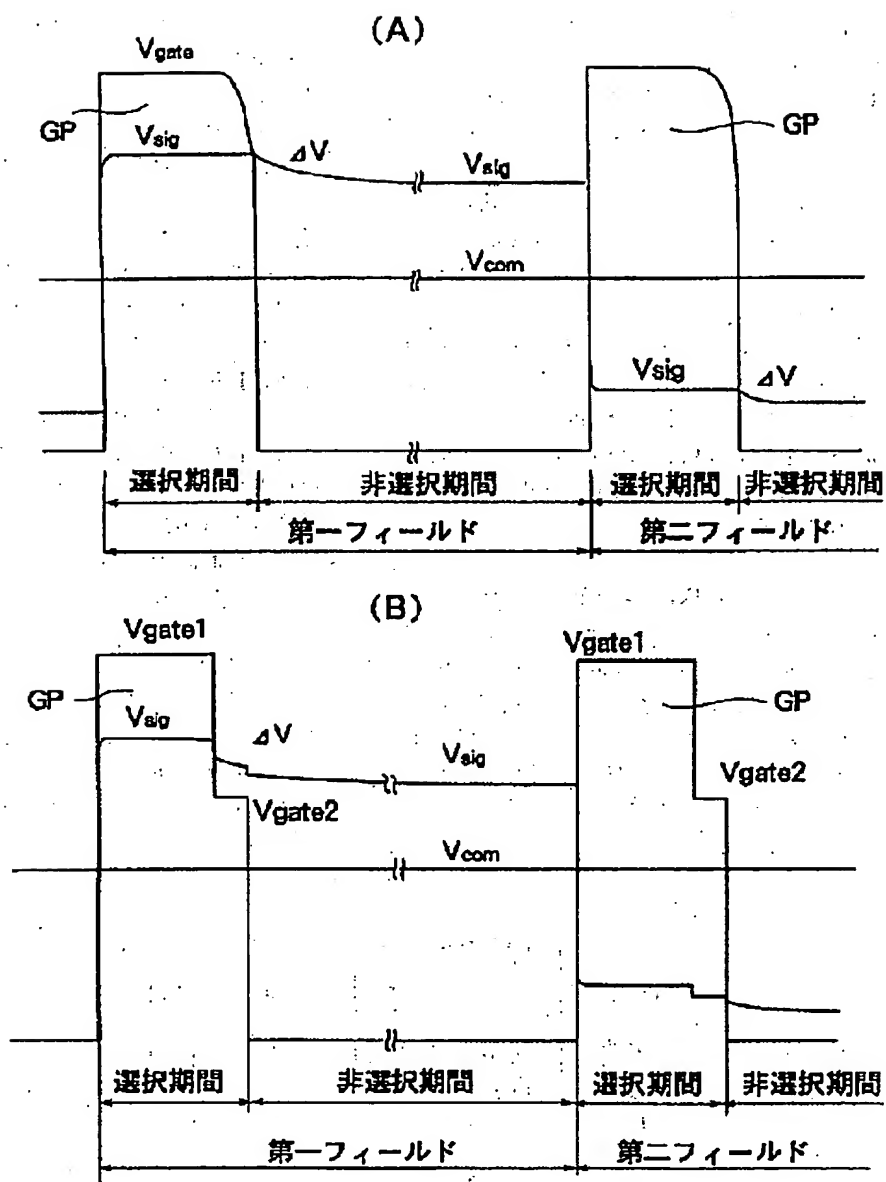
- 1 垂直走査回路
- 2 水平走査回路
- 3 シフトレジスタ
- 4 D型フリップフロップ
- 11 インバータ
- 12 Nチャネル型トランジスタ
- 13 Pチャネル型トランジスタ
- 14 スイッチングトランジスタ

【図4】



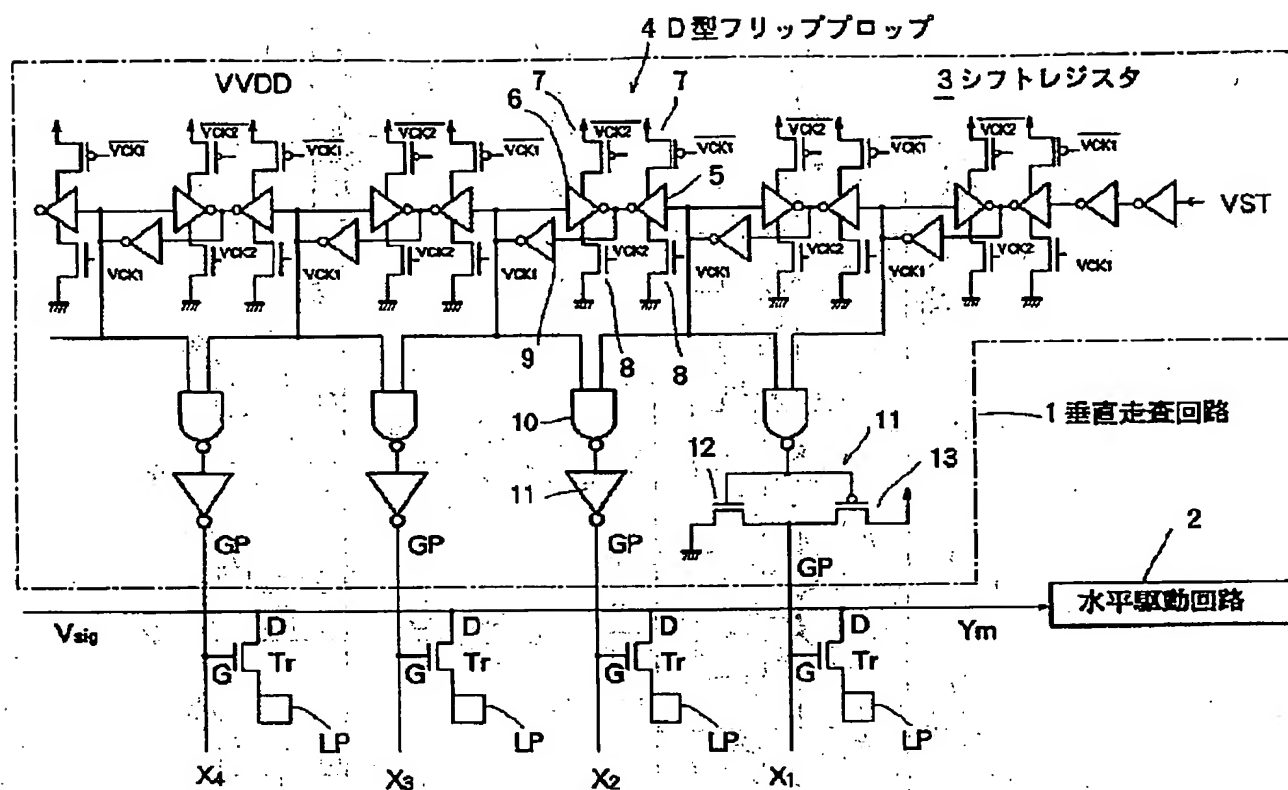
(6)

【図1】

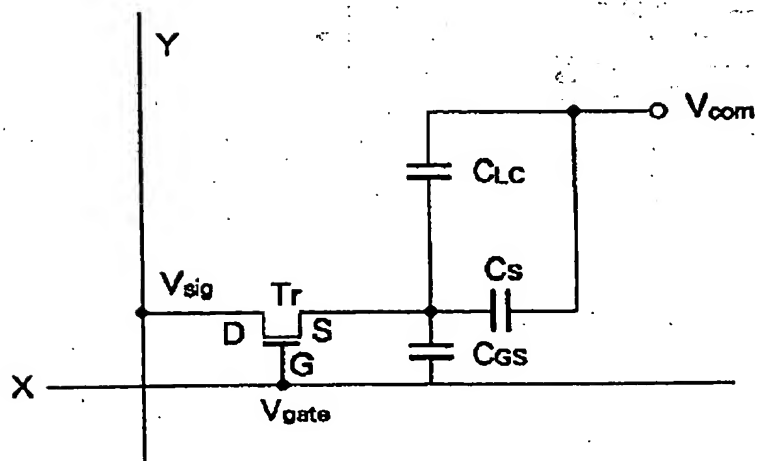


(7)

【図2】

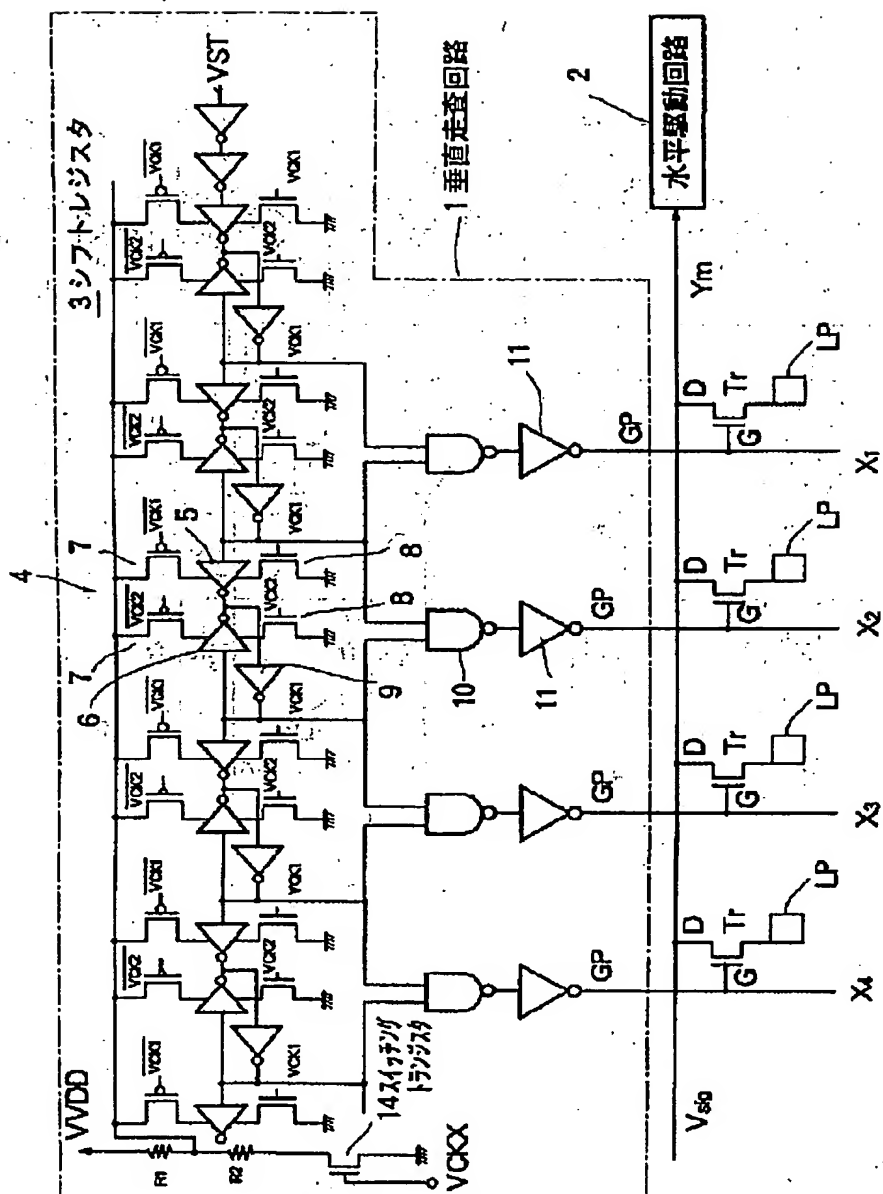


【図5】



(8)

【図 3】



(9)

【図6】

